



Цифровые устройства

IV. Запоминающие устройства

ЗУ классифицируют:

1) по месторасположению по отношению к вычислительному устройству:

- а) внешние ЗУ,
- б) внутренние ЗУ;

2) по назначению:

а) сверхоперативные ЗУ (СОЗУ) – имеют быстродействие, соизмеримое с быстродействием вычислительного устройства. Служат для хранения результатов его промежуточных операций. В микропроцессорах (МП) роль СОЗУ выполняет регистровая память – встроенные в кристалл МП регистры общего назначения.

б) оперативные ЗУ (ОЗУ) — энергозависимые ЗУ, служащие для первоначального сохранения вводимой информации. При потере питания информация теряется.

в) постоянные ЗУ (ПЗУ) – энергонезависимые ЗУ, служащие для хранения неизменной информации;

г) буферные ЗУ (БЗУ) — предназначены для промежуточного хранения информации при ее обмене между устройствами, работающими с разной скоростью. Эту роль выполняют регистровые схемы или ОЗУ малого объема;

д) внешние ЗУ (ВЗУ) служат для хранения большого объема информации на внешнем по отношению к вычислительному устройству носителе, как правило, магнитном; 1



3) по физическим принципам действия:

- а) магнитные, б) полупроводниковые; в) оптические

4) по способу хранения информации:

- а) статические, б) динамические;

5) по способу доступа к ячейке:

а) адресные ЗУ – код на адресном входе указывает ячейку, с которой ведется обмен данными;

б) последовательные ЗУ – когда осуществляется последовательное обращение к ячейкам до тех пор, пока не произойдет обращение к нужной ячейке с заданным адресом;

в) ассоциативные ЗУ – поиск информации происходит по некоторому признаку, а не по ее расположению в памяти.

1. Адресуемая память:

- оперативные запоминающие устройства (ОЗУ) – RAM (random access memory);
- постоянные запоминающие устройства (ПЗУ) – ROM (read-only memory).



Оперативные запоминающие устройства RAM делятся на статические - **SRAM** (Static RAM) и динамические - **DRAM** (Dynamic RAM).

В статических ОЗУ запоминающими элементами являются триггеры. В динамических ОЗУ данные хранят в виде зарядов конденсаторов, образуемых элементами МОП-структур. Запоминающие конденсаторы разряжаются, поэтому каждые несколько миллисекунд данные должны регенерироваться.

Плотность упаковки динамических элементов памяти в несколько раз выше, чем статических. Динамические ОЗУ характеризуются наибольшей информационной емкостью и невысокой стоимостью, но имеют большее энергопотребление и меньшее быстродействие.



Постоянная память типа ROM имеет следующие разновидности:

1. Программируемые при изготовлении ИМС с помощью одной из масок. Эта память типа **ПЗУМ** (ПЗУ масочные) - **ROM(M)**.
2. Память, программируемая пользователем (**ППЗУ** - программируемые ПЗУ):
 - **PROM** - содержимое записывается однократно в память,
 - **EPROM** и **EEPROM** - содержимое может быть заменено путем стирания информации и записи новой.

В EPROM – стирание происходит путем облучения кристалла ультрафиолетовыми лучами (**ППЗУ-УФ** - репрограммируемые ПЗУ с УФ стиранием).

В EEPROM - стирание происходит электрическими сигналами (**ППЗУ-ЭС** – репрограммируемые ПЗУ с электрическим стиранием).

Запись данных для EPROM и EEPROM производится электрическими сигналами.



2. Последовательные ЗУ:

- FIFO;
- Файловые;
- Циклические;
- Стековые (LIFO).

В *FIFO* запись в буфер становится сразу доступной для чтения, т.е. поступает в конец цепочки (First In - First Out) - «первый пришел - первый вышел».

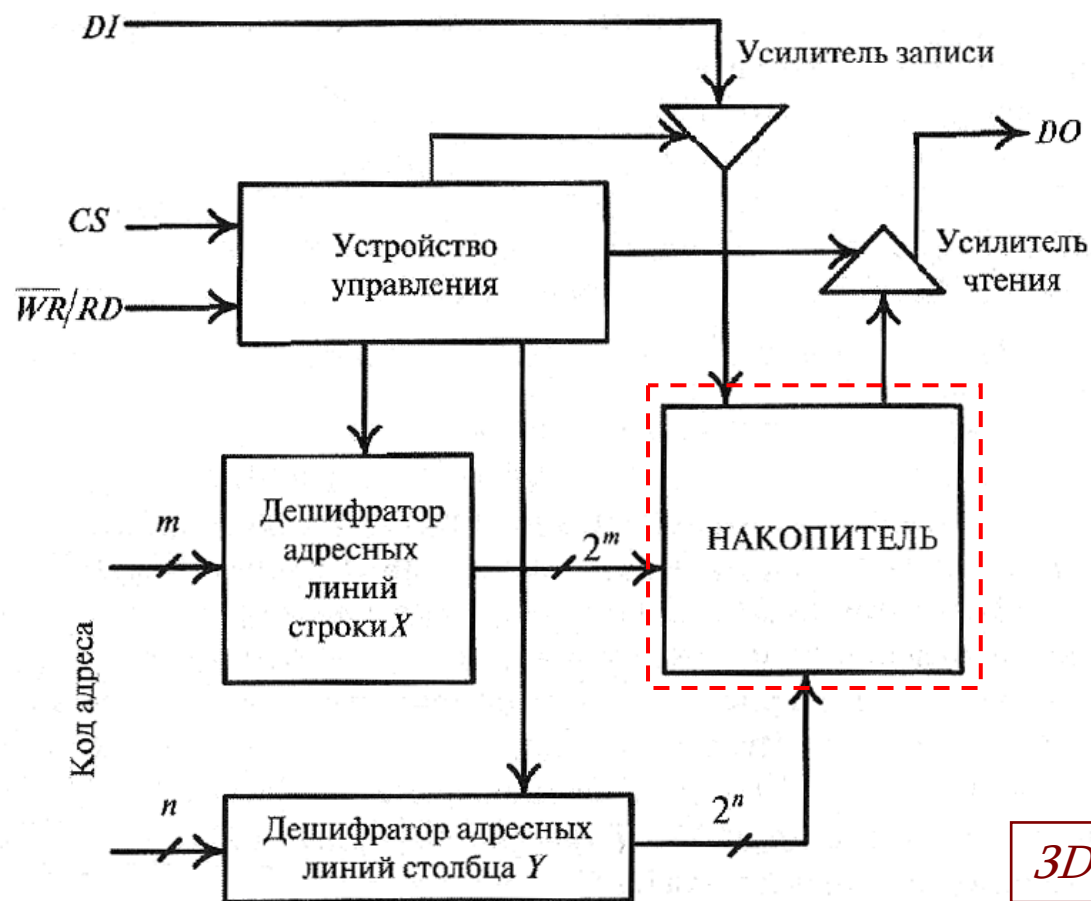
В *файловых* - данные поступают в начало цепочки.

В *циклических ЗУ* - слова доступны одно за другим с постоянным периодом, определяемым емкостью памяти. К такому типу относится видеопамять (VRAM).

В *стековых ЗУ* считывание происходит в обратном порядке (последний принят - первый вышел) - LIFO (Last In - First Out).



Структура ЗУ (статические ЗУ)



3D-структура

DI (data input) - линия входных данных;

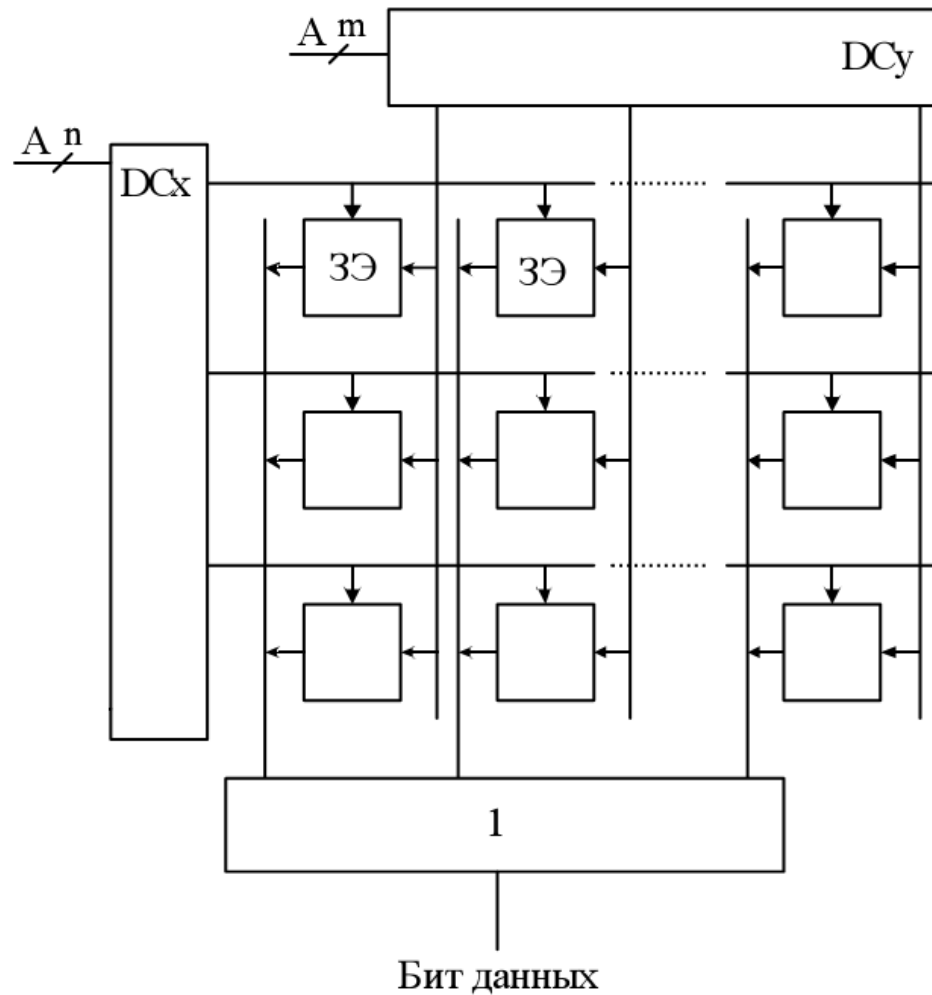
CS (cheap select) - выбор кристалла - сигнал, разрешающий работу схемы ОЗУ;

WR/RD (write - запись, read - чтение) - сигнал управления записью (активный нулевой уровень) и чтением (активный единичный уровень);

DO (data output) - линия выходных данных.



Принцип организации матричного накопителя



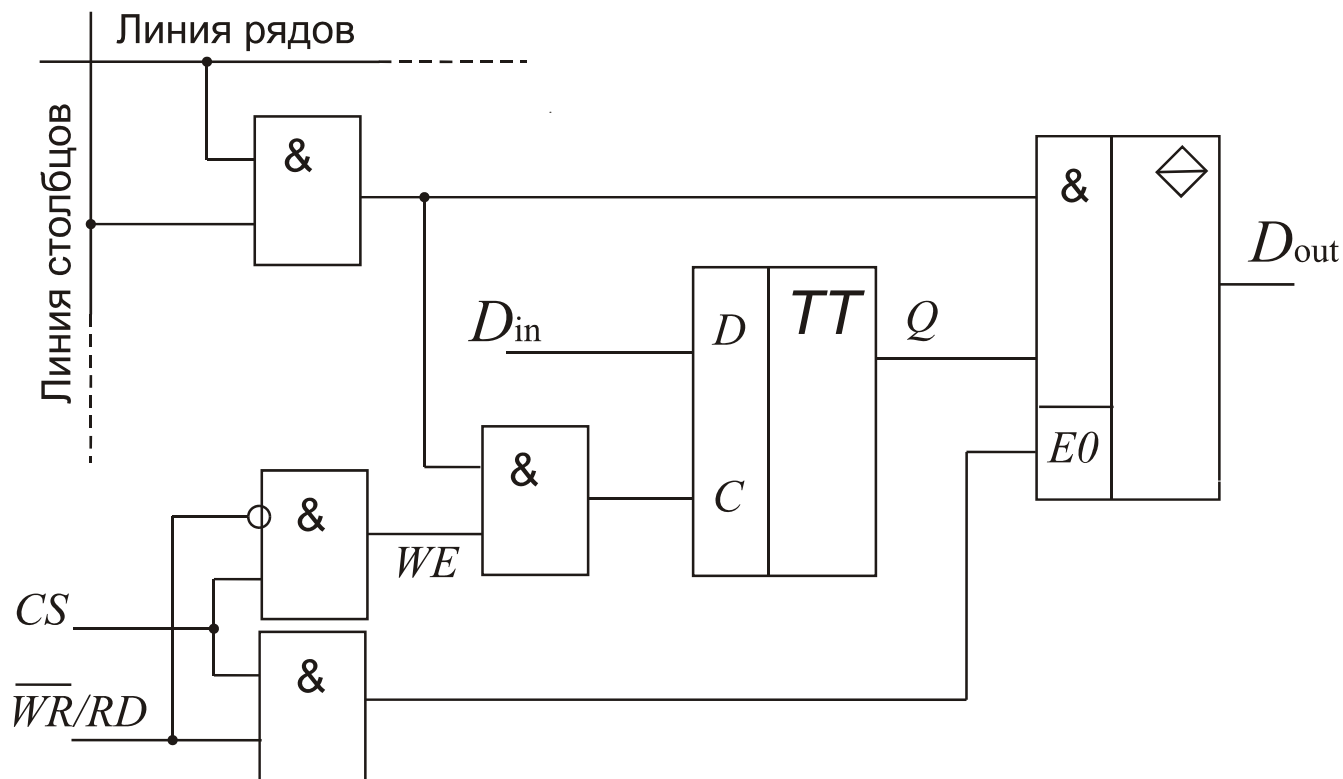
3D-структура

Информационная емкость такого ЗУ
 $M = 2^m \cdot 2^n \cdot k$

m – разрядность шины адреса столбцов,
 n – разрядность шины адреса строк,
 k – разрядность слов (бит)



Эквивалентная схема элемента памяти



DI (*data input*) - линия входных данных;

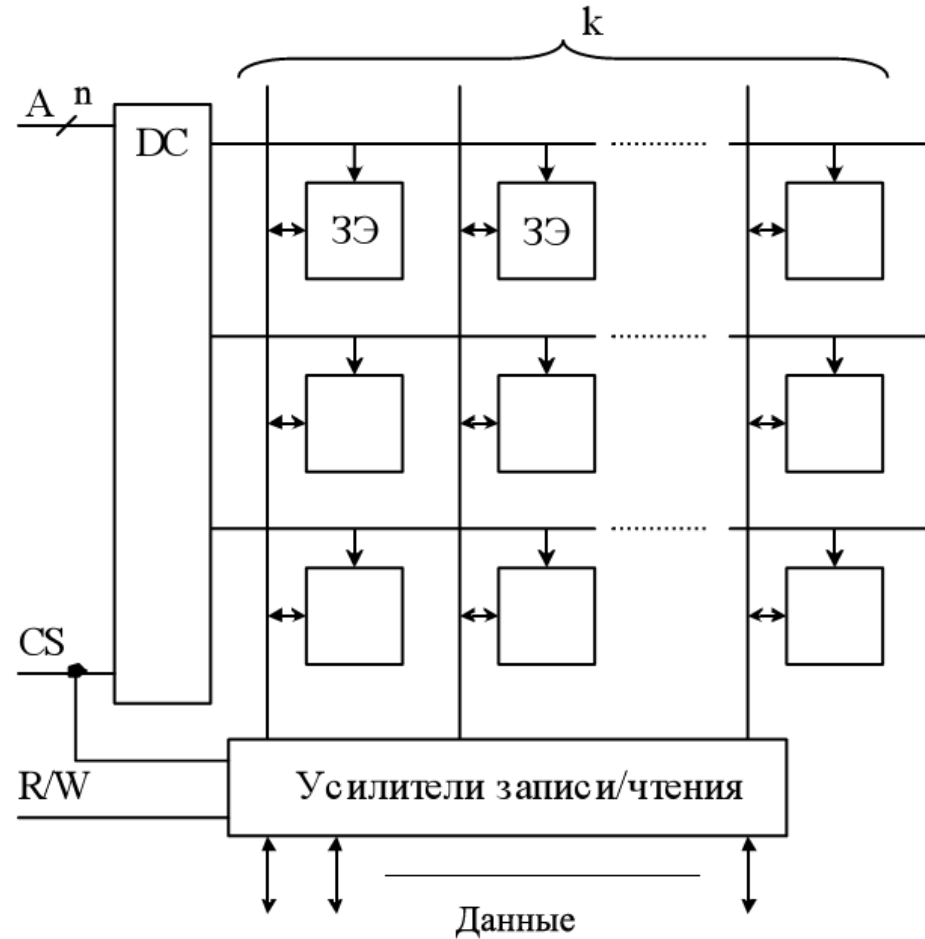
CS (*cheap select*) - выбор кристалла - сигнал, разрешающий работу схемы ОЗУ;

WR/RD (*write - запись, read - чтение*) - сигнал управления записью (активный нулевой уровень) и чтением (активный единичный уровень);

DO (*data output*) - линия выходных данных.



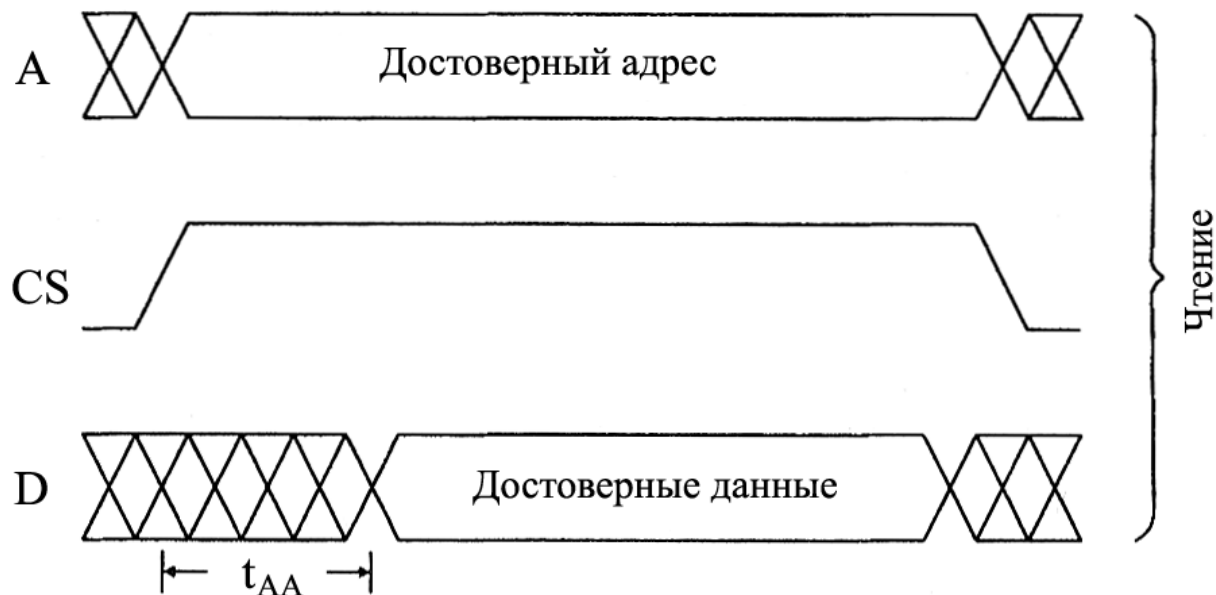
Принцип организации 2D накопителя (однокоординатная адресация)



Информационная емкость такого ЗУ
 $M = 2^n \cdot k$

n – разрядность шины адреса строк,
 k – разрядность слов (бит)

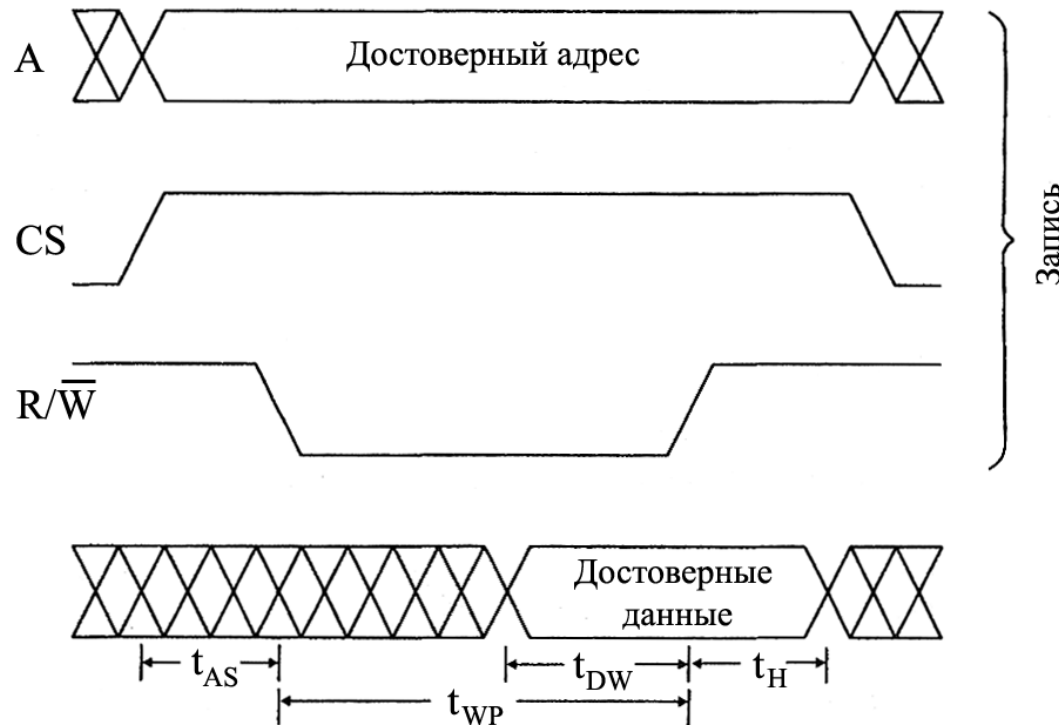
Диаграммы сигналов при операциях чтения и записи



Чтение

Т.к. внутри схемы существуют определенные задержки на распространение сигналов, время между выставлением адреса ячейки на соответствующих линиях до появления достоверных данных на выходных линиях должно быть равно заранее определенному времени t_{AA} , называемому **временем выборки адреса**

Диаграммы сигналов при операциях чтения и записи



Запись

Время между выставлением адреса ячейки и установлением низкого уровня сигнала на линии R/W , разрешающего чтение-запись информации, определяется **временем установления сигнала записи t_{AS}** .

Сигнал на линии R/W должен оставаться низким в течение времени t_{WP} , называемого **длительностью сигнала записи**.

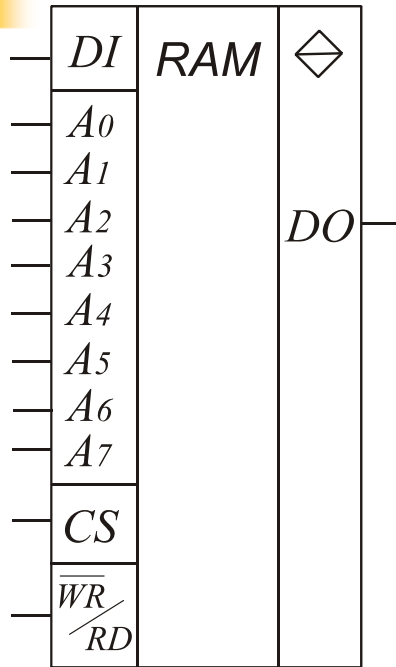
Данные считываются по положительному перепаду напряжения на линии R/W . Перед этим (до перепада) они не должны меняться в течение времени t_{DW} – **времени удержания данных для операции записи**.

После переключения уровня сигнала на линии R/W сигналы на линиях данных и адреса должны сохранять свои значения в течение времени t_H , называемого **временем сохранения данных**.

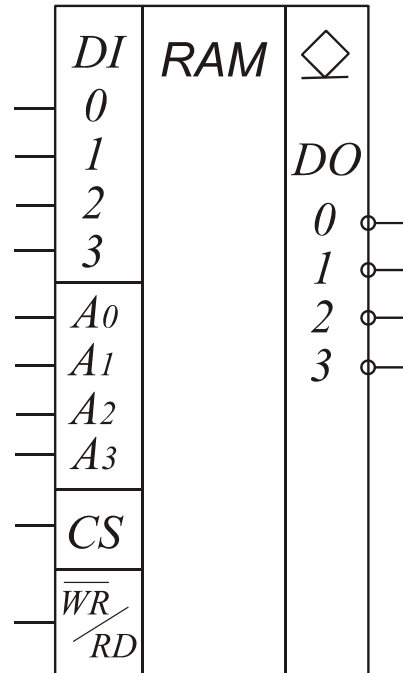
$$\text{Время цикла записи: } t_W = t_{AS} + t_{WP} + t_H$$



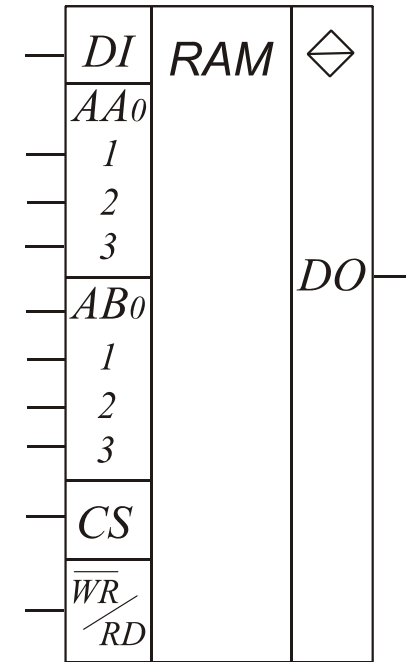
РУ



Емкость ЗУ $28*1 = 256$ бит
Разрядность данных 1,
1-координатная адресация



Емкость ЗУ $24*4 = 64$ бит
Разрядность данных 4,
1-координатная адресация



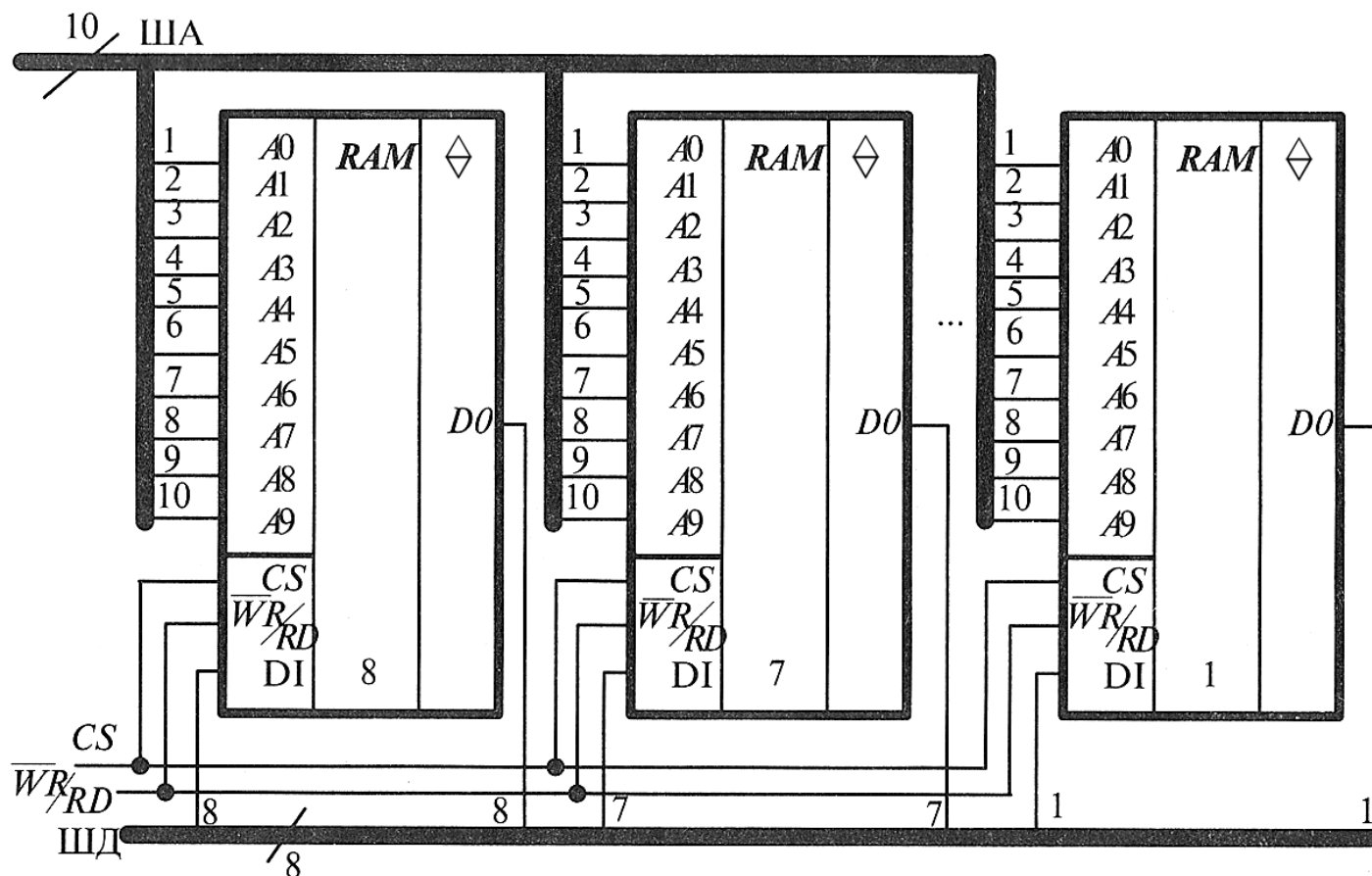
Емкость ЗУ $24*24*1 = 256$ бит
Разрядность данных 1,
2-координатная адресация

Способы увеличения емкости (информационного объема) ЗУ

- Увеличение разрядности данных
- Увеличение разрядности шины адреса
- Комбинированный.



Увеличение разрядности данных

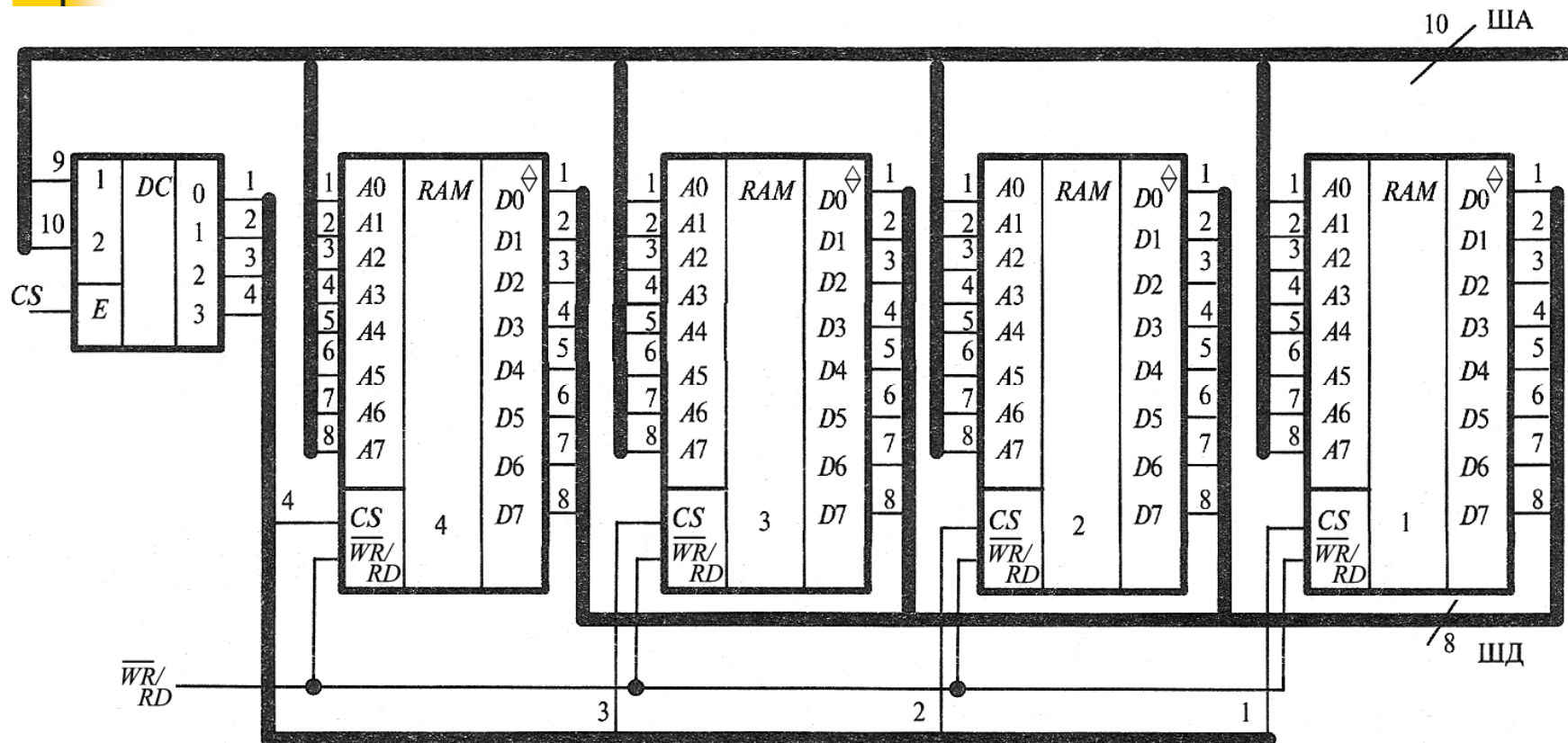


Увеличение разрядности достигается за счет параллельного соединения N микросхем ЗУ (в данном случае 8). На все микросхемы ЗУ подается одинаковый адрес, входы CS и WR/RD соединяются между собой. Емкость 1 ИМС $M1 = 2^{10} \cdot 1 = 1024$ бит.

Емкость всей структуры: **$M = 2^{10} \cdot 1 \cdot 8 = 8192$ бит = 1 Кбайт**



Увеличение разрядности шины адреса



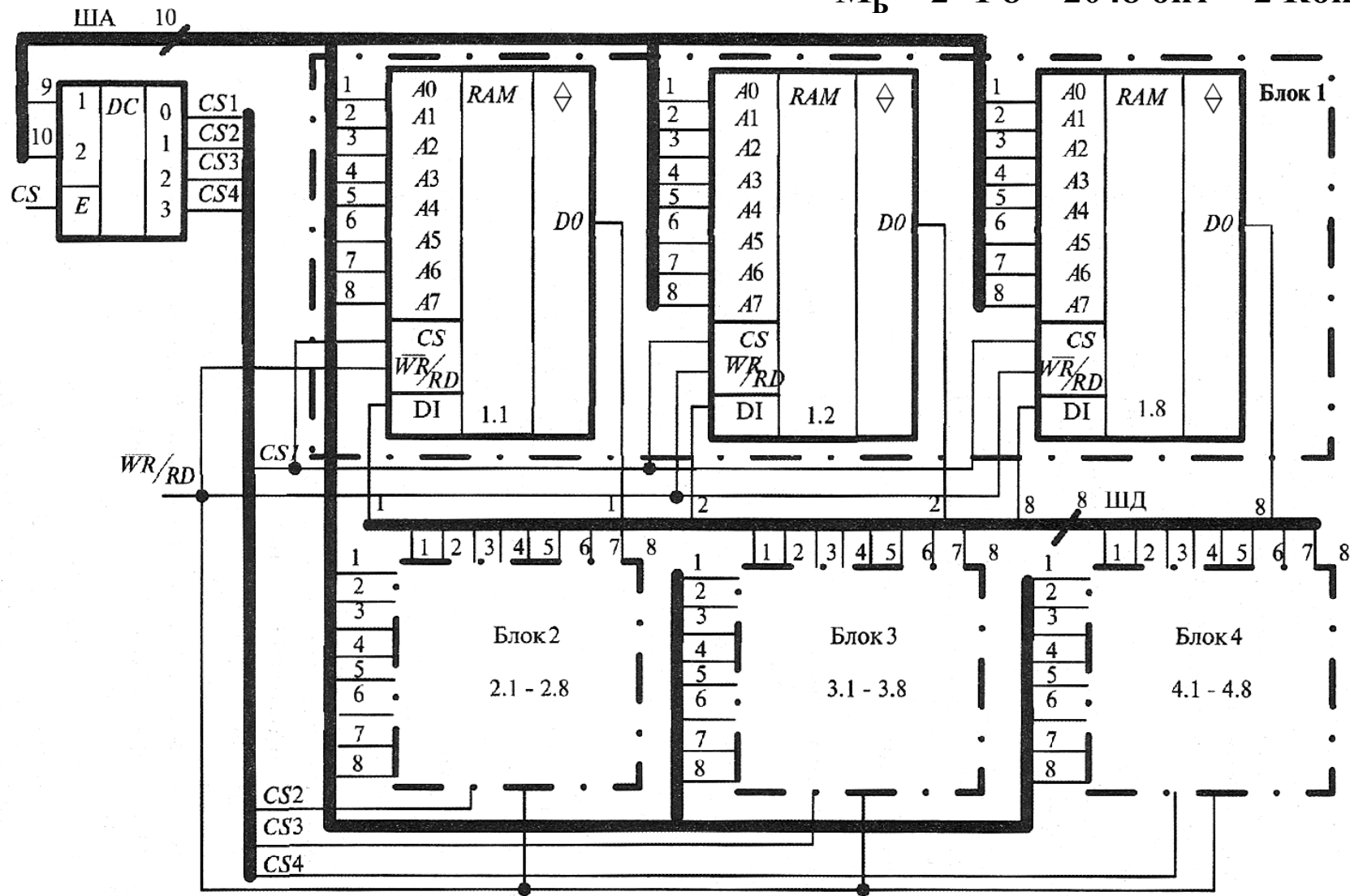
Емкость всей структуры $M = 2^8 \cdot 8 \cdot 4 = 8192$ бит = 1 Кбайт.

Разрядность шины адреса увеличивается за счет использования дешифратора DC , на входы которого подаются старшие разряды ША. Входы CS ИМС ЗУ подключаются к соответствующим выходам DC . Вход E дешифратора используется как вход разрешения работы всей схемы и идентифицируется внешними устройствами как вход выбора кристалла CS . Входы WR/RD соединяются между собой.



Комбинированный способ увеличения емкости ЗУ

$$M_B = 2^8 \cdot 1 \cdot 8 = 2048 \text{ бит} = 2 \text{ Кбит.}$$



$$M = M_B \cdot 4 = 8192 \text{ бит} = 1 \text{ Кбайт}$$



Правила эксплуатации микросхем памяти

Микросхема памяти, как сама является нагрузкой для логических элементов, осуществляющих управление ею, так и нагружена на входы логических элементов.

Для логических элементов на входе микросхем памяти должны выполняться следующие условия:

$$I^0_{\text{вых. логич. элем-в}} \geq \sum_{i=1}^k I^0_{\text{вх}i} \text{ микросхем памяти}$$

$$I^1_{\text{вых. логич. элем-в}} \geq \sum_{i=1}^k I^1_{\text{вх}i} \text{ микросхем памяти}$$

$$C_{\text{Н max}} \geq \sum_{i=1}^k C_{\text{вх}i} + C_{\text{монтажа}}$$



Правила эксплуатации микросхем памяти

Для логических элементов на выходе микросхем ЗУ с *Z-состоянием* должны выполняться следующие условия:

$$1) I_{\text{вых ИМС}}^0 \geq N \cdot I_{\text{вх}}^0 + (k - 1) \cdot I_{\text{ут}},$$

где N – количество входов микросхем, подключенных к выходу ИМС ЗУ, k – количество одноименных выходов ЗУ, соединенных вместе = количеству ИМС ЗУ при наращивании емкости увеличением разрядности шины адреса / = количеству блоков при комбинированном наращивании емкости ЗУ. $I_{\text{ут}}$ – ток утечки.

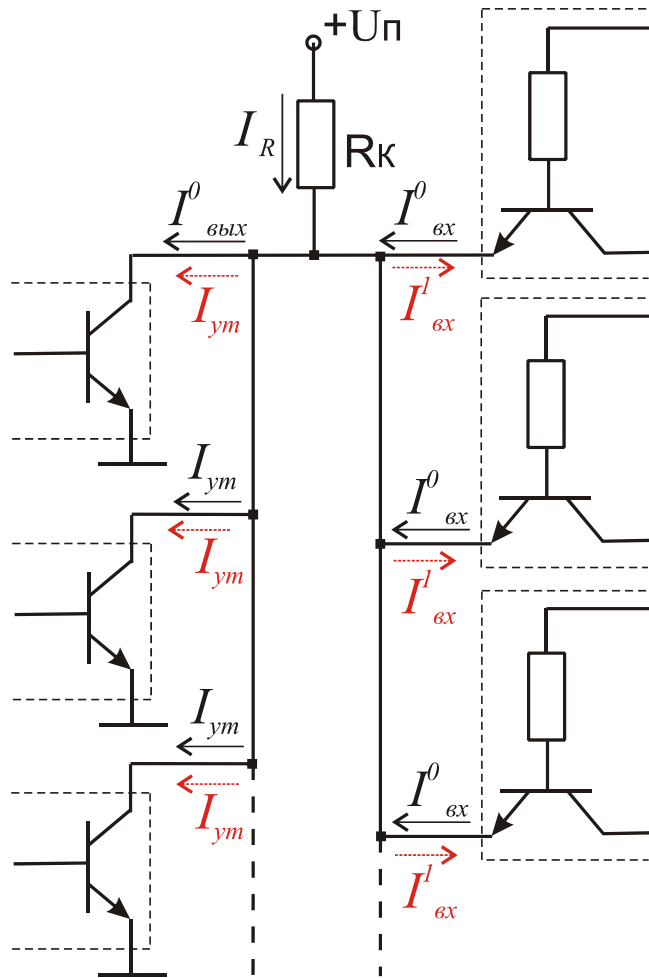
$$2) I_{\text{вых ИМС}}^1 \geq N \cdot I_{\text{вх}}^1 + (k - 1) \cdot I_{\text{ут}}$$

$$3) C_{\text{н max}} \geq (k - 1) \cdot C_{\text{вых}} + N \cdot C_{\text{вх. логич. элем-в}} + C_{\text{монтажа}}$$



Правила эксплуатации микросхем памяти

Расчет выходных токов для элементов с *открытым коллектором*.



$$1) \quad I_R + N \cdot I_{\text{вх}}^0 - I_{\text{вых}}^0 - (k-1) \cdot I_{\text{ут}} = 0$$

$$I_{\text{вых}}^0 \geq I_R + N \cdot I_{\text{вх}}^0 - (k-1) \cdot I_{\text{ут}}$$

2) $I_R = N \cdot I_{\text{вх}}^1 + k \cdot I_{\text{ут}}$, при этом должен обеспечиваться уровень $U_{\text{вх}}^1$.

Если на выходе микросхем памяти “0”, т.е. выходной транзистор какого-либо элемента памяти открыт, то

$$I_R R_k + U_{\text{вых max}}^0 = U_{\text{п}}$$

$$I_{\text{вых}}^0 = I_R + N \cdot I_{\text{вх}}^0 - (k-1) \cdot I_{\text{ут}}$$

$$R_k^0 = \frac{U_{\text{п}} - U_{\text{вых max}}^0}{I_{\text{вх}}^0 - N \cdot I_{\text{вх}}^0 + (k-1) \cdot I_{\text{ум}}}$$

Если на выходе микросхем памяти “1”, т.е. все выходные транзисторы закрыты, то

$$I_R R_k + U_{\text{вых min}}^1 = U_{\text{п}}$$

$$I_R = N \cdot I_{\text{вх}}^1 + k \cdot I_{\text{ут}}$$

$$R_k^1 = \frac{U_{\text{п}} - U_{\text{вых min}}^1}{N \cdot I_{\text{вх}}^1 + k \cdot I_{\text{ум}}}$$

$$3) C_{\text{н max}} \geq (k-1) \cdot C_{\text{вых}} + N \cdot C_{\text{вх}} + C_{\text{монтажа}}$$

Пример 1.

Рассчитать модуль ОЗУ 4096x8, на основе микросхем памяти 512x2 с Z-состоянием. Входной ток нуля 0.4 мА, входной ток единицы 0.04 мА, входная емкость 5 пФ, выходной ток нуля 4 мА, выходной ток единицы 0.4 мА, ток утечки в Z-состоянии 10 нА, выходная емкость 8 пФ, максимальная емкость нагрузки 100 пФ. Считать, что микросхема нагружена на 2 входа.

Решение.

1. Определяем требуемую емкость в битах $M = 4096 \cdot 8 = 32768$ бит = 32 Кбит
2. Определяем количество микросхем, необходимых для реализации требуемой разрядности данных (параллельно соединенных ИМС)
Разрядность данной микросхемы – 2, разрядность требуемая – 8 => необходимо параллельное соединение 4 ИМС.
Информационная емкость 4 ИМС будет $M1 = 512 \cdot 2 \cdot 4 = 512 \cdot 8 = 4096$ бит = 4 Кбит.
Следовательно, будем использовать *комбинированный способ увеличения емкости ЗУ*.
3. Определяем количество блоков M1, необходимых для реализации требуемой емкости M:
 $k = M/M1 = 32/4 = 8$. Таким образом, будем использовать дешифратор на 8 выходов (3 адресных входа). Разрядность ША будет $9 + 3 = 12$.
4. Проверяем согласованность нагрузки микросхем.
 - 1) $N \cdot I_{\text{ВХ}}^0 + (k - 1) \cdot I_{\text{УТ}} = 2 \cdot 0.4 + (8 - 1) \cdot 0.01 = 0.87$ мА < 4 мА
 - 2) $N \cdot I_{\text{ВХ}}^1 + (k - 1) \cdot I_{\text{УТ}} = 2 \cdot 0.04 + (8 - 1) \cdot 0.01 = 0.15$ мА < 0.4 мА
 - 3) $C_{\text{Н}} = (k - 1) C_{\text{ВЫХ}} + N \cdot C_{\text{ВХ}} + C_{\text{М}} = (8 - 1) \cdot 8 + 4 \cdot 5 + 0 = 76$ пФ < 100 пФ

Пример 2.

Рассчитать модуль ОЗУ 256x8, на основе микросхем памяти 64x2 с *открытым коллектором*. $U_{\Pi} = 5\text{В}$. Входной ток нуля 0.4 мА, входной ток единицы 0.04 мА, входная емкость 12 пФ, выходной ток нуля 20 мА, ток утечки выходного транзистора 10 мкА, выходная емкость 5 пФ, максимальная емкость нагрузки 100 пФ. Считать, что микросхема нагружена на 2 входа.

Решение.

1. Определяем требуемую емкость в битах $M = 256 \cdot 8 = 2048$ бит = 2 Кбит
2. Определяем количество микросхем, необходимых для реализации требуемой разрядности данных (параллельно соединенных ИМС)
Разрядность данной микросхемы – 2, разрядность требуемая – 8 => необходимо параллельное соединение 4 ИМС.
Информационная емкость 4 ИМС будет $M_1 = 64 \cdot 2 \cdot 4 = 512$ бит.
Следовательно, будем использовать *комбинированный способ увеличения емкости ЗУ*.
3. Определяем количество блоков M_1 , необходимых для реализации требуемой емкости M :
 $k = M/M_1 = 2048/512 = 4$. Таким образом, будем использовать дешифратор на 4 выходов (2 адресных входа). Разрядность ША будет $6 + 2 = 8$.

4. Рассчитываем сопротивление R_k .

$$R_k^0 = \frac{U_{\Pi} - U_{\text{вых.max}}^0}{I_{\text{вых}}^0 - N \cdot I_{\text{вх}}^0 + (k-1) \cdot I_{\text{ут}}} = 240 \quad R_k^1 = \frac{U_{\Pi} - U_{\text{вых.min}}^1}{N \cdot I_{\text{вх}}^1 + k \cdot I_{\text{ут}}} = 19200$$

5. Проверяем емкость нагрузки: $(k-1) \cdot C_{\text{ВЫХ}} + N \cdot C_{\text{ВХ}} = (4-1) \cdot 5 + 4 \cdot 12 + 0 = 63$ пФ < 100 пФ ²⁰



Спасибо за внимание!